

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 0 月 3 1 日
Date of Application:

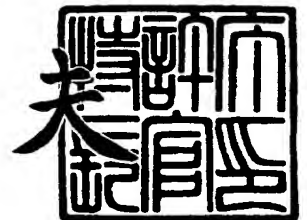
出 願 番 号 特 願 2 0 0 3 - 3 7 2 5 8 4
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 3 7 2 5 8 4]

出 願 人 シャープ株式会社
Applicant(s):

2 0 0 3 年 1 1 月 2 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 3 - 3 0 9 6 2 5 5

【書類名】 特許願
【整理番号】 03J02924
【提出日】 平成15年10月31日
【あて先】 特許庁長官 殿
【国際特許分類】 G02F 1/136 500
G02B 5/00
G02F 1/1333 505
G02F 1/1335

【発明者】
【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
【氏名】 津幡 俊英

【発明者】
【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
【氏名】 大嵯 守英

【発明者】
【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
【氏名】 武内 正典

【特許出願人】
【識別番号】 000005049
【氏名又は名称】 シャープ株式会社

【代理人】
【識別番号】 100080034
【弁理士】
【氏名又は名称】 原 謙三
【電話番号】 06-6351-4384

【選任した代理人】
【識別番号】 100113701
【弁理士】
【氏名又は名称】 木島 隆一

【選任した代理人】
【識別番号】 100116241
【弁理士】
【氏名又は名称】 金子 一郎

【先の出願に基づく優先権主張】
【出願番号】 特願2002-381669
【出願日】 平成14年12月27日

【手数料の表示】
【予納台帳番号】 003229
【納付金額】 21,000円

【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0208489

【書類名】 特許請求の範囲**【請求項 1】**

信号線と走査線とが絶縁性基板上に設けられており、上記信号線と走査線とが交差する交差部毎に設けられている画素電極と、上記信号線と画素電極との間に積層されている層間絶縁膜とを有している表示装置用基板において、

上記絶縁性基板の表面に対して垂直方向から見たとき、上記画素電極が設けられていない領域に信号線が設けられているとともに、上記信号線と上記画素電極との間には隙間が設けられていることを特徴とする表示装置用基板。

【請求項 2】

上記絶縁性基板の表面に対して垂直方向から見たとき、上記信号線の表面および上記信号線と画素電極との隙間は遮光膜で覆われていることを特徴とする請求項 1 に記載の表示装置用基板。

【請求項 3】

上記信号線と走査線とが交差する交差部毎に設けられているアクティブ素子と、

上記アクティブ素子、信号線、および走査線のうち、少なくとも上記信号線の表面を覆うように設けられている遮光膜とを有し、

上記絶縁性基板の表面に対して垂直方向から見たとき、上記信号線を挟んで互いに隣り合う画素電極間の隙間は上記遮光膜で覆われていることを特徴とする請求項 1 に記載の表示装置用基板。

【請求項 4】

上記信号線と走査線とが交差する交差部毎に設けられているアクティブ素子と、

上記アクティブ素子、信号線、および走査線のうち、少なくとも上記信号線の表面を覆うように設けられている遮光膜とを有し、

上記絶縁性基板の表面に対して垂直方向から見たとき、上記信号線の表面を覆う遮光膜と画素電極とが重なっていることを特徴とする請求項 1 に記載の表示装置用基板。

【請求項 5】

上記信号線と走査線とが交差する交差部毎に設けられているアクティブ素子と、

上記アクティブ素子と画素電極とを接触させるコンタクトホールと、

上記アクティブ素子、信号線、および走査線の表面を覆うように設けられている遮光膜とを有し、

上記絶縁性基板の表面に対して垂直方向から見たとき、上記信号線の表面を覆う遮光膜と画素電極とが重なっていることを特徴とする請求項 1 に記載の表示装置用基板。

【請求項 6】

上記信号線と走査線とが交差する交差部毎に設けられているアクティブ素子と、

上記アクティブ素子と画素電極とを接触させるコンタクトホールと、

上記アクティブ素子、信号線、および走査線のうち、少なくとも上記信号線の表面を覆うように設けられている遮光膜とを有し、

上記層間絶縁膜は、2 層以上の積層体であり、

上記遮光膜は、上記層間絶縁膜を構成する最上層と最下層との間に積層されており、

上記絶縁性基板の表面に対して垂直方向から見たとき、上記信号線を挟んで互いに隣り合う画素電極間の隙間は上記遮光膜で覆われていることを特徴とする請求項 1 に記載の表示装置用基板。

【請求項 7】

上記信号線と走査線とが交差する交差部毎に設けられているアクティブ素子と、

上記アクティブ素子と画素電極とを接触させるコンタクトホールと、

上記アクティブ素子、信号線、および走査線のうち、少なくとも上記信号線の表面を覆うように設けられている遮光膜とを有し、

上記層間絶縁膜は、2 層以上の積層体であり、

上記遮光膜は、上記層間絶縁膜を構成する最上層と最下層との間に積層されており、

上記絶縁性基板の表面に対して垂直方向から見たとき、信号線の表面を覆う遮光膜と画

素電極とが重なっていることを特徴とする請求項 1 に記載の表示装置用基板。

【請求項 8】

上記信号線と走査線とが交差する交差部毎に設けられているアクティブ素子と、
上記アクティブ素子と画素電極とを接触させるコンタクトホールと、
上記アクティブ素子、信号線、および走査線の表面を覆うように設けられている遮光膜とを有し、
上記層間絶縁膜は、2 層以上の積層体であり、
上記遮光膜は、上記層間絶縁膜を構成する最上層と最下層との間に積層されており、
上記絶縁性基板の表面に対して垂直方向から見たとき、信号線の表面を覆う遮光膜と画素電極とが重なっていることを特徴とする請求項 1 に記載の表示装置用基板。

【請求項 9】

上記遮光膜は、絶縁性を有する樹脂からなることを特徴とする請求項 2 ～ 8 のいずれか 1 項に記載の表示装置用基板。

【請求項 10】

上記遮光膜は、金属からなることを特徴とする請求項 6 ～ 8 のいずれか 1 項に記載の表示装置用基板。

【請求項 11】

上記隙間は、 $1\mu\text{m}$ 以上、 $20\mu\text{m}$ 以下の範囲内であることを特徴とする請求項 1 ～ 10 のいずれか 1 項に記載の表示装置用基板。

【請求項 12】

請求項 1 ～ 11 のいずれか 1 項に記載の表示装置用基板を有することを特徴とする液晶表示装置。

【書類名】明細書

【発明の名称】表示装置用基板およびこれを有する液晶表示装置

【技術分野】

【0001】

本発明は、表示装置の表示品位を向上させることができる表示装置用基板と、その基板を有する液晶表示装置とに関するものである。

【背景技術】

【0002】

現在、液晶表示装置は、小型、薄型、低消費電力、および軽量といった特徴を持ち、各種電子機器に広く用いられるようになってきている。特に、スイッチング素子を能動素子として有するアクティブマトリクス型の液晶表示装置（液晶表示パネル）は、CRTと同等の表示特性が得られるため、パソコン等のOA機器、テレビ等のAV機器や携帯電話などに広く応用されている。また、近年、液晶表示装置は、大型化と、高精細化、画素有効面積比率向上（高開口率化）などの品位向上とが急速に進んでいる。

【0003】

アクティブマトリクス基板上で、画素電極とソースライン（信号線）とが同一平面上に形成される技術においては、高精細化および高開口率化を図る場合、有効画素領域を増やすために、画素とソースバスライン（以下、単にソースラインを表記する）との間の距離の短縮化、ソースラインの細線化がなされてきた。

【0004】

しかし、画素とソースラインとの間の距離を短縮させると、短絡不良が発生しやすくなる。また、ソースラインを細線化すると、断線不良が発生しやすくなる。つまり、アクティブマトリクス基板上で、画素電極とソースラインとが同一平面上に形成される技術においては、短絡不良および断線不良の発生等によって、歩留まりの低下が発生する。

【0005】

そこで、それら短絡不良および断線不良を防止して、上記歩留まりの低下を改善するために、例えば、下記（a）～（c）のようなアクティブマトリクス基板の製造方法が提案されている。

（a）アクティブ素子とソースラインとを形成した後に、透明層間絶縁膜を配する。

（b）アクティブ素子と透明画素電極とを、コンタクトホールを通して接触（コンタクト）させる。

（c）透明層間絶縁膜上に画素電極を形成することで、同一平面からソースラインと画素電極とを分離する。

【0006】

また、上記のように製造されたアクティブマトリクス基板と対向するようにカラーフィルター基板を貼り合わせて、これら両基板間に液晶を注入することによって、液晶表示装置は製造される。ここで言うカラーフィルター基板としては、例えば、R（赤）、G（緑）、B（青）の色領域が、アクティブマトリクス基板側の画素領域と一致するように作成されており、さらに、各画素領域以外の部分にはブラックマトリックス（遮光膜）が埋められているという基板が挙げられる。

【0007】

上記のようなカラーフィルターを用いた液晶表示装置の製造方法において、ブラックマトリックス（以下、ブラックマトリックスのことを適宜「BM」と表記する）の精度は、開口率に影響を与える。このBMの精度は、アクティブマトリクス基板およびカラーフィルター基板の貼り合わせ精度と、所望のBMの幅を形成する精度との足し合わせとなる。この問題を改善する方法として、下記に示す特許文献1および2では、アクティブマトリクス基板側に自己整合的にBMを形成することによって、開口率の向上を実現している。

【0008】

上記のような、BMを自己整合的に形成したアクティブマトリクス基板の具体例について、図12および図13を参照して説明する。

【0009】

図12は、従来のアクティブマトリクス基板（薄膜トランジスタアレイ）における1画素と、その1画素の隣りに位置する画素の一部とを示す平面図である。図12に示すように、アクティブマトリクス基板の1画素において、ゲートバスライン（走査線；以下単にゲートラインと表記する）101とソースバスライン（信号線；以下、単にソースラインと表記する）102とが、互いに交差するように配置されている。その交差する部分には、画素電極103が配置されている。

【0010】

上記ゲートライン101には、ゲート電極104が形成されている。ソースライン102には、ソース電極105が形成されている。また、画素電極103は、ドレイン電極106と接続されている。そして、画素電極103を有する画素の隣の画素には、画素電極103と同様の画素電極103'が設けられている。画素電極103と画素電極103'との間には、ソースライン102が設けられている。

【0011】

画素電極103には、コンタクトホール109を介して、ドレイン電極106が接続されている。同様に、画素電極103'には、コンタクトホール109'を介して、補助容量バスライン（以下、単に補助容量ラインと表記する）107が接続されている。

【0012】

次に、上記アクティブマトリクス基板、特に薄膜トランジスタアレイの製造方法について、図12および図13を用いて簡単に説明する。なお、図13は、図12に示す薄膜トランジスタアレイのA-A'線における矢視断面図である。

【0013】

まず、ガラス等の透明絶縁性基板からなる基板110上に、ゲートライン（ゲート線）101と、ゲート電極104と、補助容量ライン107とを同一工程にて形成する。次に、それらの上に、ゲート絶縁膜111を形成する。

【0014】

その後、薄膜トランジスタ（TFT）などのアクティブ素子114を形成する。図12および図13においては、まず、活性半導体層112を形成する。次に、アモルファスシリコン（例えばn型アモルファスシリコン）層113を形成する。さらに、ソースライン102と、ソース電極105と、ドレイン電極106とを形成（ソースライン102およびソース電極105は同一工程にて形成）する。

【0015】

次に、アクティブ素子114（コンタクトホール109およびその周辺部を除く）と、ソースライン102と、ゲートライン101と、補助容量ライン107（コンタクトホール109'およびその周辺部を除く）とを覆うように、絶縁層パターンからなるBM108を形成する。

【0016】

ブラックマトリックス108は、画素電極を除く各構成要素領域上に、自己整合的に設置されている。このBM108は、基板110の裏面から露光することによって、ゲートライン101、ソースライン102、アクティブ素子114、および補助容量ライン107に対して、自己整合的に作成する。

【0017】

その後、全面を覆うように、層間絶縁膜115を形成する。次に、コンタクトホール109とコンタクトホール109'とを形成する。次に、コンタクトホール109・109'を被覆するように、画素電極103・103'を形成する。なお、上記コンタクトホール109により、アクティブ素子のドレイン電極106と画素電極103とが接続される。また、上記コンタクトホール109'により、補助容量を形成するための補助容量ライン107と、画素電極103とが接続される。

【0018】

上記製造方法により、アクティブマトリクス基板において、ソースライン102と画素

電極 103 とを、層間絶縁膜 115 を挟んで分離することができる。

【0019】

上記のようなソースラインと画素電極との分離によって、図 13 に示すように、画素電極 (103・103') とソースライン 102 とを重ね合わせることができる。従来、この重ね合わせと、必要最小限の BM パターンを自己整合的に形成することによって、液晶表示装置の開口率を改善している。

【0020】

上記画素電極とソースラインとの重ね合わせについて、図 13 を用いて説明する。図 12、図 13 に示す「z」および「z'」は、ソースライン 102 と画素電極 103・103' との重なり距離を示している。また、図 13 によれば、z は、z1 と z2 との間の距離である。同様に、z' は、z1' と z2' との間の距離である。

【0021】

上記 z1 は、ソースライン 102 の端の位置を示すものであって、ソースライン 102 の端から、ソースライン 102 の面に対して垂直に引いた線である。同様に、z1' は、ソースライン 102 の端の位置を示すものであって、ソースライン 102 の端から、ソースライン 102 の面に対して垂直に引いた線である。なお、上記 z1 は、対象とする画素に隣接している画素電極 (103') に近い側の端である。上記 z1' は、対象とする画素の画素電極 (103) に近い側の端である。

【0022】

z2 は、画素電極 103' の端の位置を示すものであって、画素電極 103' の端から、画素電極 103' の面に対して垂直に引いた線である。同様に、z2' は、画素電極 103 の端の位置を示すものであって、画素電極 103 の端から、画素電極 103 の面に対して垂直に引いた線である。

【特許文献 1】特開平 10-170957 号公報 (公開日: 1998 年 6 月 26 日)

【特許文献 2】特開 2001-33816 号公報 (公開日: 2001 年 2 月 9 日)

【発明の開示】

【発明が解決しようとする課題】

【0023】

しかしながら、上記基板の製造方法によれば、画素電極とソースラインとの間の寄生容量 (Csd) が、表示領域内でずれてしまう。そのずれによって、各画素の液晶容量に保持されている電荷量に、面内差が生じる。このような面内差は、液晶表示装置の表示ムラの原因となるという問題点がある。

【0024】

上記問題点は、フォトリソグラフィーによるパターン形成工程 (以下、フォトリソ工程と記す) における露光機精度のばらつきにより、ソースラインパターンと画素電極パターンとの位置関係が、表示領域内でずれることに起因している。アクティブマトリクス製造工程におけるフォトリソ工程のショット間アライメント精度は、現在、一般的に $\pm 0.3 \mu\text{m}$ 程度である。

【0025】

本発明は、上記従来の問題点に鑑みなされたものであって、その目的は、表示装置、特に液晶表示装置の表示ムラを低減することができる基板を提供することにある。

【課題を解決するための手段】

【0026】

本発明の表示装置用基板は、上記課題を解決するために、信号線と走査線とが絶縁性基板上に設けられており、上記信号線と走査線とが交差する交差部毎に設けられている画素電極と、上記信号線と画素電極との間に積層されている層間絶縁膜とを有している表示装置用基板において、上記絶縁性基板の表面に対して垂直方向から見たとき、上記画素電極が設けられていない領域に信号線が設けられているとともに、上記信号線と上記画素電極との間には隙間が設けられていることを特徴としている。

【0027】

また、本発明の表示装置用基板は、上記構成に加えて、上記絶縁性基板の表面に対して垂直方向から見たとき、上記信号線の表面および上記信号線と画素電極との隙間は遮光膜で覆われていることを特徴としている。

【0028】

また、本発明の表示装置用基板は、上記構成に加えて、上記信号線と走査線とが交差する交差部毎に設けられているアクティブ素子と、上記アクティブ素子、信号線、および走査線のうち、少なくとも上記信号線の表面を覆うように設けられている遮光膜とを有し、上記絶縁性基板の表面に対して垂直方向から見たとき、上記信号線を挟んで互いに隣り合う画素電極間の隙間は上記遮光膜で覆われていることを特徴としている。

【0029】

また、本発明の表示装置用基板は、上記構成に加えて、上記信号線と走査線とが交差する交差部毎に設けられているアクティブ素子と、上記アクティブ素子、信号線、および走査線のうち、少なくとも上記信号線の表面を覆うように設けられている遮光膜とを有し、上記絶縁性基板の表面に対して垂直方向から見たとき、上記信号線の表面を覆う遮光膜と画素電極とが重なっていることを特徴としている。

【0030】

また、本発明の表示装置用基板は、上記構成に加えて、上記信号線と走査線とが交差する交差部毎に設けられているアクティブ素子と、上記アクティブ素子と画素電極とを接触させるコンタクトホールと、上記アクティブ素子、信号線、および走査線の表面を覆うように設けられている遮光膜とを有し、上記絶縁性基板の表面に対して垂直方向から見たとき、上記信号線の表面を覆う遮光膜と画素電極とが重なっていることを特徴としている。

【0031】

また、本発明の表示装置用基板は、上記構成に加えて、上記信号線と走査線とが交差する交差部毎に設けられているアクティブ素子と、上記アクティブ素子と画素電極とを接触させるコンタクトホールと、上記アクティブ素子、信号線、および走査線のうち、少なくとも上記信号線の表面を覆うように設けられている遮光膜とを有し、上記層間絶縁膜は、2層以上の積層体であり、上記遮光膜は、上記層間絶縁膜を構成する最上層と最下層との間に積層されており、上記絶縁性基板の表面に対して垂直方向から見たとき、上記信号線を挟んで互いに隣り合う画素電極間の隙間は上記遮光膜で覆われていることを特徴としている。

【0032】

本発明の表示装置用基板は、上記構成に加えて、上記信号線と走査線とが交差する交差部毎に設けられているアクティブ素子と、上記アクティブ素子と画素電極とを接触させるコンタクトホールと、上記アクティブ素子、信号線、および走査線のうち、少なくとも上記信号線の表面を覆うように設けられている遮光膜とを有し、上記層間絶縁膜は、2層以上の積層体であり、上記遮光膜は、上記層間絶縁膜を構成する最上層と最下層との間に積層されており、上記絶縁性基板の表面に対して垂直方向から見たとき、信号線の表面を覆う遮光膜と画素電極とが重なっていることを特徴としている。

【0033】

また、本発明の表示装置用基板は、上記構成に加えて、上記信号線と走査線とが交差する交差部毎に設けられているアクティブ素子と、上記アクティブ素子と画素電極とを接触させるコンタクトホールと、上記アクティブ素子、信号線、および走査線の表面を覆うように設けられている遮光膜とを有し、上記層間絶縁膜は、2層以上の積層体であり、上記遮光膜は、上記層間絶縁膜を構成する最上層と最下層との間に積層されており、上記絶縁性基板の表面に対して垂直方向から見たとき、信号線の表面を覆う遮光膜と画素電極とが重なっていることを特徴としている。

【0034】

また、本発明の表示装置用基板は、上記構成に加えて、上記遮光膜は、絶縁性を有する樹脂からなることを特徴としている。

【0035】

また、本発明の表示装置用基板は、上記構成に加えて、上記遮光膜は、金属からなることを特徴としている。

【0036】

また、本発明の表示装置用基板は、上記構成に加えて、上記隙間は、 $1\mu\text{m}$ 以上、 $20\mu\text{m}$ 以下の範囲内であることを特徴としている。

【0037】

また、本発明の液晶表示装置は、上記に記載の表示装置用基板を有することを特徴としている。

【発明の効果】

【0038】

本発明の表示装置用基板は、以上のように、上記絶縁性基板の表面に対して垂直方向から見たとき、上記画素電極が設けられていない領域に信号線が設けられているとともに、上記信号線と上記画素電極との間には隙間が設けられているので、表示装置の表示ムラと相関のある値 ($\Delta\Delta\beta$) が小さくなる。この $\Delta\Delta\beta$ の値が小さくなると、画素電位実効値 (V_d) の差が小さくなる。その結果、表示装置の表示ムラを低減することができるという効果を奏する。

【0039】

また、本発明の表示装置用基板は、以上のように、さらに上記絶縁性基板の表面に対して垂直方向から見たとき、上記信号線（ソースライン）の表面および上記信号線と画素電極との隙間は遮光膜で覆われているので、上記効果に加えて、光漏れを防止して、本基板を表示装置に用いたとき、より良い表示性能を発揮させることができるという効果を奏する。

【0040】

また、本発明の表示装置用基板は、以上のように、さらに上記信号線（ソースライン）と走査線（ゲートライン）とが交差する交差部毎に設けられているアクティブ素子と、上記アクティブ素子、信号線、および走査線のうち、少なくとも上記信号線の表面を覆うように設けられている遮光膜とを有し、上記絶縁性基板の表面に対して垂直方向から見たとき、上記信号線を挟んで互いに隣り合う画素電極間の隙間は上記遮光膜で覆われているので、上記効果に加えて、光漏れを防止して、本基板を表示装置に用いたとき、より良い表示性能を発揮させることができるという効果を奏する。

【0041】

また、本発明の表示装置用基板は、以上のように、さらに上記効果に加えて、上記信号線（ソースライン）と走査線（ゲートライン）とが交差する交差部毎に設けられているアクティブ素子と、上記アクティブ素子、信号線、および走査線のうち、少なくとも上記信号線の表面を覆うように設けられている遮光膜とを有し、上記絶縁性基板の表面に対して垂直方向から見たとき、上記信号線の表面を覆う遮光膜と画素電極とが重なっているので、光漏れを防止して、本基板を表示装置に用いたとき、より良い表示性能を発揮させることができるという効果を奏する。特に、上記構成によれば、上記遮光膜と画素電極とが重なっているので、フォトリソグラフィ等を用いてパターン形成を行う際に、アライメントずれがあったとしても、確実に光漏れを防止することができるという効果を奏する。

【0042】

また、本発明の表示装置用基板は、以上のように、さらに上記信号線（ソースライン）と走査線（ゲートライン）とが交差する交差部毎に設けられているアクティブ素子と、上記アクティブ素子と画素電極とを接触させるコンタクトホールと、上記アクティブ素子、信号線、および走査線の表面を覆うように設けられている遮光膜とを有し、上記絶縁性基板の表面に対して垂直方向から見たとき、上記信号線の表面を覆う遮光膜と画素電極とが重なっているので、上記効果に加えて、光漏れを防止して、本基板を表示装置に用いたとき、より良い表示性能を発揮させることができるという効果を奏する。また、上記構成においても、上記遮光膜と画素電極とが重なっていることで、フォトリソグラフィ等を用いてパターン形成を行う際に、アライメントずれがあったとしても、確実に光漏れを防止

することができるという効果を奏する。

【0043】

さらに、上記構成によれば、アクティブ素子と画素電極とをコンタクトホールを通して接触（コンタクト）させ、層間絶縁膜上に画素電極を形成することにより、同一平面から信号線（ソースライン）と画素電極とを分離することができる。その結果、上記効果に加えて、画素電極と信号線（ソースライン）とによる短絡不良および断線不良を防止して、歩留まりの低下を抑制することができるという効果を併せて奏する。

【0044】

また、本発明の表示装置用基板は、以上のように、さらに上記信号線（ソースライン）と走査線（ゲートライン）とが交差する交差部毎に設けられているアクティブ素子と、上記アクティブ素子と画素電極とを接触させるコンタクトホールと、上記アクティブ素子、信号線、および走査線のうち、少なくとも上記信号線の表面を覆うように設けられている遮光膜とを有し、上記層間絶縁膜は、2層以上の積層体であり、上記遮光膜は、上記層間絶縁膜を構成する最上層と最下層との間に積層されており、上記絶縁性基板の表面に対して垂直方向から見たとき、上記信号線を挟んで互いに隣り合う画素電極間の隙間は上記遮光膜で覆われている構成である。上記構成によれば、信号線と画素電極との間に積層されている層間絶縁膜は2層以上の積層体であり、該層間絶縁膜を構成する最上層と最下層との間に遮光膜が積層されているので、上記遮光膜に特定の材料を用いる必要がなくなる。それゆえ、上記構成によれば、上記効果に加えて、遮光性と絶縁性とを有する樹脂の他に、遮光膜の材料として、例えば金属なども用いることが可能になるという効果を奏する。

【0045】

また、本発明の表示装置用基板は、以上のように、さらに上記信号線（ソースライン）と走査線（ゲートライン）とが交差する交差部毎に設けられているアクティブ素子と、上記アクティブ素子と画素電極とを接触させるコンタクトホールと、上記アクティブ素子、信号線、および走査線のうち、少なくとも上記信号線の表面を覆うように設けられている遮光膜とを有し、上記層間絶縁膜は、2層以上の積層体であり、上記遮光膜は、上記層間絶縁膜を構成する最上層と最下層との間に積層されており、上記絶縁性基板の表面に対して垂直方向から見たとき、信号線の表面を覆う遮光膜と画素電極とが重なっている構成である。上記構成によれば、信号線と画素電極との間に積層されている層間絶縁膜は2層以上の積層体であり、該層間絶縁膜を構成する最上層と最下層との間に遮光膜が積層されているので、上記遮光膜に特定の材料を用いる必要がなくなる。それゆえ、上記構成によれば、上記効果に加えて、遮光性と絶縁性とを有する樹脂の他に、遮光膜の材料として、例えば金属なども用いることが可能になるという効果を奏する。

【0046】

また、本発明の表示装置用基板は、以上のように、さらに上記信号線（ソースライン）と走査線（ゲートライン）とが交差する交差部毎に設けられているアクティブ素子と、上記アクティブ素子と画素電極とを接触させるコンタクトホールと、上記アクティブ素子、上記信号線、および上記走査線の表面を覆うように設けられている遮光膜とを有し、上記層間絶縁膜は、2層以上の積層体であり、上記遮光膜は、上記層間絶縁膜を構成する最上層と最下層との間に積層されており、上記絶縁性基板の表面に対して垂直方向から見たとき、信号線の表面を覆う遮光膜と画素電極とが重なっている構成である。上記構成によれば、信号線と画素電極との間に積層されている層間絶縁膜は、2層以上の積層体であり、該層間絶縁膜を構成する最上層と最下層との間に、遮光膜が積層されているので、上記遮光膜に特定の材料を用いる必要がなくなる。それゆえ、上記構成によれば、上記効果に加えて、遮光性と絶縁性とを有する樹脂の他に、遮光膜の材料として、例えば金属なども用いることが可能になるという効果を奏する。

【0047】

また、本発明の表示装置用基板は、以上のように、さらに上記遮光膜は、絶縁性を有する樹脂からなるので、比較的容易に遮光膜を形成することができる。それゆえ、上記構成によれば、上記効果に加えて、例えば、ドライフィルムラミネート方式の、カーボンが分

散した感光性樹脂材料などを用いて、遮光膜を形成することができるという効果を奏する。

【0048】

また、本発明の表示装置用基板は、以上のように、さらに上記遮光膜は、金属からなるので、上記効果に加えて遮光性の高い遮光膜を、容易に形成することができるという効果を奏する。

【0049】

また、本発明の表示装置用基板は、以上のように、上記隙間が $1\mu\text{m}$ 以上、 $20\mu\text{m}$ 以下の範囲内であるとき、 $\Delta\Delta\beta$ が、十分に低減され、かつ飽和した領域にある値となるので、上記隙間が上記範囲内に設定されていることで、表示装置の表示ムラ品位を十分に改善しながら、開口率の低下を抑えることができるという効果を奏する。

【0050】

また、本発明の液晶表示装置は、以上のように、本発明の表示装置用基板を有する構成である。上記構成によれば、本発明の液晶表示装置が有している表示装置用基板は、絶縁性基板の表面に対して垂直方向から見たとき、画素電極が設けられていない領域に信号線が設けられているとともに、信号線と画素電極との間には隙間が設けられている。このように、信号線（ソースライン）と画素電極との間に隙間を設けると、表示装置の表示ムラと相関のある値（ $\Delta\Delta\beta$ ）が小さくなる。この $\Delta\Delta\beta$ の値が小さくなると、画素電位実行値（ V_d ）の差が小さくなる。それゆえ、上記の構成によれば、表示ムラの低減が可能な液晶表示装置を提供することができるという効果を奏する。

【発明を実施するための最良の形態】

【0051】

〔実施の形態1〕

本発明の実施の一形態について、図1ないし図3に基づいて説明する。

【0052】

なお、本実施の形態においては、表示装置用基板の具体例として、液晶表示装置用のアクティブマトリクス基板について説明する。

【0053】

図1は、本発明の液晶表示装置の一例を示す断面図である。液晶表示装置40は、アクティブマトリクス基板30と対向基板33とを有し、それら基板は、液晶層32を挟んでいる。なお、液晶層32は、対向基板33の配向膜と、アクティブマトリクス基板30の配向膜31との間に挟まれている。

【0054】

図2は、本発明のアクティブマトリクス基板30（表示装置用基板）における1画素と、その1画素の隣りに位置する画素の一部とを示す平面図である。図2に示すように、ソースライン（信号線）2とゲートライン（走査線）1と画素電極3とが、絶縁性基板10上に積層されている。そのゲートライン1とソースライン2とは、互いに交差するように配置されている。そして、それらが交差する交差部毎に、画素電極3が設けられている。なお、絶縁性基板10は、図2で言えば最背面に位置し、図3に示す断面図に記載の位置に配置されている。

【0055】

上記ゲートライン1には、ゲート電極4が形成されている。ソースライン2には、ソース電極5が形成されている。また、画素電極3は、ドレイン電極6と接続されている。そして、画素電極3を有する画素の隣りの画素には、画素電極3と同様の画素電極3'が設けられている。画素電極3と画素電極3'との間には、ソースライン2が設けられている。

【0056】

画素電極3には、コンタクトホール9を介して、ドレイン電極6が接続されている。同様に、画素電極3'には、コンタクトホール9'を介して、補助容量バスライン（以下、単に補助容量ラインと表記する）（補助容量線）7が接続されている。

【0057】

図2に示すように、アクティブ素子14、ゲートライン1、およびソースライン2の表面を覆うように、ブラックマトリックス（以下、BMと表記する）（遮光膜）8が設けられている。さらに、図2によれば、絶縁性基板10の表面に対して垂直方向から見たとき、ソースライン2の表面を覆うBM8と、画素電極3とが重なっている。同様に、画素電極3'とBM8とは重なっている。つまり、特定の画素における信号線の表面を覆うBM8と、特定の画素から信号線をはさんで隣りに位置する画素電極3'とが重なっている。図2において、画素電極3'とBM8との重なり幅（距離）を y で示している。

【0058】

また、図2に示すように、絶縁性基板10の表面に対して垂直方向から見たとき、画素電極が設けられていない領域、つまり、画素電極3と画素電極3'との間の領域に、ソースライン2は設けられている。さらに、ソースライン2と画素電極3'の間には、隙間（ x ）が設けられている。同様に、絶縁性基板10の表面に対して垂直方向から見たとき、ソースライン2と画素電極3との間には、隙間（ x' ）が設けられている。

【0059】

なお、上記「絶縁性基板10の表面に対して垂直方向から見たとき」というのは、換言すれば、「絶縁性基板10の表面において、対象となる物の正射影を見たとき」ということである。より具体的に言えば、「対象となる物の各点から、絶縁性基板10の表面に下ろした垂線の足の集まりを見たとき」ということになる。

【0060】

例えば、上記画素電極3'とBM8とが重なっているというのは、絶縁性基板10の表面における画素電極3'の正射影と、絶縁性基板10の表面におけるBM8の正射影とが重なっていることを意味する。さらに、上記ソースライン2と画素電極3'との間に設けられている隙間（ x ）というのは、絶縁性基板10の表面におけるソースライン2の正射影と、絶縁性基板10の表面における画素電極3'との正射影との間に設けられている隙間のことである。

【0061】

また、ソースライン2と画素電極3・3'との間に、隙間（ $x' \cdot x$ ）が設けられているとは、画素電極と信号線との間に、画素電極3・3'への電圧印加時に液晶層32に対して画素電極3・3'から電圧が印加されない領域が存在していることを意味する。

【0062】

次に、電流および電圧の制御について、簡単に説明する。ゲートライン1が選択されると、ゲート電極4に電圧が印加される。このゲート電極4に印加される電圧によって、ソース電極5およびドレイン電極6間を流れる電流が制御される。つまり、ソースライン2から伝送された信号に基づいて、ソース電極5からドレイン電極6へ、ドレイン電極6から画素電極3へと電流が流れることによって、画素電極3は、所定の表示を行うようになっている。補助容量ライン7は、所定の表示を維持するために補助的に設置される。

【0063】

次に、上記アクティブマトリクス基板30の製造方法について、図2および図3を用いて説明する。なお、図3は、図2に示すB-B'線における矢視断面図である。

【0064】

まず、ガラス等の透明な絶縁体からなる絶縁性基板10上に、ゲートライン1、ゲート電極4、および補助容量ライン7を同一工程にて形成する。次に、それらの表面に、ゲート絶縁膜11を形成する。次に、薄膜トランジスタ（TFT）などのアクティブ素子14と、ソースライン2と、ソース電極5とを形成する。ソースライン2およびソース電極5は、同一工程にて形成する。

【0065】

なお、図2および図3に示すアクティブ素子14の形成は、まず、活性半導体層12を形成する。次に、アモルファスシリコン（例えばn型アモルファスシリコン）層13を形成する。さらに、ソースライン2と、ソース電極5と、ドレイン電極6とを形成（ソース

ライン 2 およびソース電極 5 は同一工程にて形成) する。

【0066】

上記アクティブマトリクス素子 14、ソースライン 2、およびソース電極 5 形成後、BM (BM パターン) 8 を形成する。この BM 8 は、例えば、遮光性を有する樹脂製の絶縁層パターンで形成することができる。例えば、BM の材料としては、ドライフィルムラミネート方式の、カーボンが分散された感光性樹脂材料などが挙げられる。

【0067】

BM 8 の形成方法としては、まず、基板表面に、黒色の樹脂膜を有するドライフィルムをラミネートし、カバーフィルムを剥離することによって、黒色の樹脂膜を転写する。次に、ドレイン電極 6、ソース電極 5、アクティブ素子 14、ソースライン 2、ゲートライン 1、補助容量ライン 7 を覆うように、かつ、画素電極 3 および 3' と平面的に重なり合う (重なりを図 3 の「y」で示す) ように、パターンマスクを用いて露光、現像、およびポストバークを行い、BM 8 (BM パターン) を完成する。なお、図 2 および図 3 に示すように、コンタクトホール 9・9' の部分と、それらの周囲の部分とは、BM 8 を形成していない。

【0068】

次に、上記 BM 8 が形成された絶縁性基板 10 の全面を覆うように層間絶縁膜 15 を形成する。その層間絶縁膜 15 の材料としては、例えば、ネガ型感光性透明樹脂を用いることができる。具体的には、感光性透明樹脂としては、例えば、アクリル系樹脂、エポキシ系樹脂、ポリウレタン系樹脂、ポリイミド系樹脂などの樹脂が挙げられる。しかし、これに限定されるものではなく、層間絶縁膜 15 の材料として、例えば、CVD (Chemical vapor deposition) 法による SiNx 膜 (窒化ケイ素膜) など、所望の誘電率、透過率を得られる材料を用いることもできる。

【0069】

次に、アクティブ素子 14 のドレイン電極 6 および画素電極 3 を接続するためのコンタクトホール 9 と、補助容量を形成するための補助容量ライン 7 と画素電極 3 とを接続するためのコンタクトホール 9' とを形成する。その後、コンタクトホール 9・9' を被覆するように、透明の画素電極を成膜する。次に、ソースライン 2 との平面的な距離 x を確保するように、成膜した透明画素電極をパターニングして、画素電極 3・3' を得る。

【0070】

本実施の形態において、ゲートライン 1 およびソースライン 2 の材料としては、アルミニウム (Al) を使用している。しかし、ゲートライン 1 およびソースライン 2 の材料としては、所望のライン抵抗が得られる金属であればよい。例えばタンタル (Ta)、チタン (Ti)、クロム (Cr) 等の金属およびこれらの金属の合金などを、ゲートライン 1 およびソースライン 2 の材料として使用してもよい。また、TaN/Ta/TaN、Ti/Al/Ti などの積層構造からなる膜を、ゲートライン 1 およびソースライン 2 の材料として用いることも可能である。さらにソースライン 2 の材料としては、一般的な金属膜だけでなく、例えば、ITO (Indium Tin Oxide) などの透明導電性膜を使用することもできる。

【0071】

また、本実施の形態において、アクティブ素子 (スイッチング素子) 14 には、アモルファスシリコン薄膜トランジスタを用いた。しかし、スイッチング素子としては、例えば、マイクロクリスタルシリコン薄膜トランジスタ、ポリシリコン薄膜トランジスタ、CGS (連続粒界結晶シリコン) 薄膜トランジスタ、MIM (Metal Insulator Metal) など、同様に用いることができる。

【0072】

BM 8 の樹脂層には、OD 値 3.0、膜厚 2.5 μm のトランサーフィルム方式のカーボンが分散された感光性樹脂材料を用いた。しかし、このような樹脂材料に限定されず、所望の OD 値、テーパ形状、および誘電率を得られる他の材料を用いることも可能である。BM 8 の材料としては、例えば、顔料分散型黒色レジストなどが挙げられる。なお、

上記ODとは、Optical Densityの略である。また、OD値とは、物質の透過率を示す値であり、OD値が大きい物質ほど透過率は低い。

【0073】

さらに、画素電極3および3'には、ITOを用いた。しかし、IZO(Indium Zinc Oxide)などの透明画素電極を、画素電極3および3'に用いることもできる。

【0074】

また、本実施の形態では、BM8を、ドレイン電極6、ソース電極5、アクティブ素子14、ソースライン2、ゲートライン1、補助容量ライン7を覆うとともに、画素電極3・3'と平面的に重なり合うように設ける構成としたがこれに限定されるものではなく、上記BM8は、少なくともソースライン2の表面を覆うように設けられていればよい。この場合、図2に示すように、上記絶縁性基板10の表面に対して垂直方向から見たとき、ソースライン2と画素電極3・3'の間には隙間($x' \cdot x$)が設けられているとともに、互いに隣り合う画素電極3・3'間の隙間、つまり、上記ソースライン2を挟んで互いに隣り合う各画素電極3・3'間の隙間は上記BM8で覆われていることが好ましく、ソースライン2の表面を覆うBM8と、画素電極3・3'とは、重なっていても構わないが、重なるように設けられていることがより好ましい。

【0075】

上記BM8と画素電極3・3'とが重なっている場合には、フォトリソグラフィ等を用いてBM8のパターン形成を行う際に、アライメントずれがあったとしても、確実に光漏れを防止することができる。

すなわち、上記BM8は、ドレイン電極6、ソース電極5、アクティブ素子14、ソースライン2、ゲートライン1、補助容量ライン7のうち、少なくともソースライン2の表面を覆うことで、光漏れを抑制、好適には防止することができればよい。なお、上記したように上記BM8は、少なくともソースライン2の表面を覆うように設けられていればよいが、さらにアクティブ素子14の表面を覆うように設けられていることが望ましく、さらに上記ゲートライン2の表面を覆うように設けられていることがより望ましい。

【0076】

次に、図3を用いて、図2に示した重なり幅 y と、隙間 x および x' について説明する。図3に示す $x1'$ は、画素電極3の端(ソース電極5及びソースライン2形成側端部)から、絶縁性基板10の表面に対して垂直に引いた直線である。 $x2'$ は、ソースライン2の端(アクティブ素子(スイッチング素子)14側の端部)から、絶縁性基板10の表面に対して垂直に引いた直線である。そして、 x' は、 $x1'$ および $x2'$ の両方の線間における距離(最短距離)である。つまり、ソースライン2の端(アクティブ素子(スイッチング素子)14側)と画素電極3の端(ソース電極5及びソースライン2形成側)との間、つまり、該画素電極の正射影とソースライン2の正射影との間には、隙間 x' が設けられていることを示している。換言すれば、 x' は、絶縁性基板10の表面に対して垂直な、画素電極3の端面(ソース電極5及びソースライン2形成側端面)を含む面と絶縁性基板10の表面に対して垂直な、ソースライン2の端面(アクティブ素子(スイッチング素子)14側の端面)を含む面との間の距離(最短距離)に等しい。

【0077】

また、図3に示す $x1$ は、画素電極3'の端(上記ソースライン側、つまり、上記画素電極3と対向する側の端部)から、絶縁性基板10の表面に対して垂直に引いた直線である。 $x2$ は、ソースライン2の端(画素電極3'側の端部)から、絶縁性基板10の表面に対して垂直に引いた直線である。そして、 x は、 $x1$ および $x2$ の両方の線間における距離(最短距離)である。つまり、画素電極3から見てソースライン2を挟んだ位置にある画素電極3'と該ソースライン2との間、つまり、該ソースライン2の正射影と画素電極3との正射影との間には、隙間 x が設けられていることを示している。換言すれば、 x は、絶縁性基板10の表面に対して垂直な、画素電極3'の端面(上記ソースライン側、つまり、上記画素電極3と対向する側の端面)を含む面と絶縁性基板10の表面に対して垂直な、ソースライン2の端面(画素電極3'側の端面)を含む面との間の距離(最短距

離)に等しい。

【0078】

上記 x および x' は、大きいほど表示ムラの低減効果が高く、好適には $1\mu\text{m}$ 以上、さらに好適には $5\mu\text{m}$ 以上、より好適には $10\mu\text{m}$ 以上、特に好適には $15\mu\text{m}$ 以上となるように設定されていることが、表示装置の表示ムラと相関のある値 ($\Delta\Delta\beta$) の値を低減し、表示装置の表示ムラを低減させる上で望ましい。

【0079】

還元すれば、上記 x および x' は、上記 $\Delta\Delta\beta$ が、好適には 0.08 以下、さらに好適には 0.04 以下、より好適には 0.01 以下となるように設定されていることが望ましい。

【0080】

しかしながら、上記 x および x' は、 $10\mu\text{m}$ 、特に $15\mu\text{m}$ を超えると、 $\Delta\Delta\beta$ の値が十分に低減され飽和し、 x および x' の増加に見合った $\Delta\Delta\beta$ の低減効果が得られなくなる。一方、上記 x および x' が大きくなるにしたがって、開口率が低下する。そこで、上記 x および x' は前述した値を下限とし、その上限が、好適には $20\mu\text{m}$ 、より好適には $15\mu\text{m}$ となる範囲内に設定されていること、具体的には、例えば、上記 x および x' が、 $1\mu\text{m}$ 以上、 $20\mu\text{m}$ 以下の範囲内に設定されていることで、表示装置の表示ムラ品位を十分に改善しながらも、開口率の低下を抑えることができる。

【0081】

図3に示す y_1 は、画素電極 $3'$ 側における BM8 の端から、絶縁性基板 10 の表面に対して垂直に引いた直線である。図3によれば、この直線 y_1 は、画素電極 $3'$ と交差していることがわかる。つまり、画素電極 $3'$ と BM8 とが重なっていることがわかる。また、図3に示す直線 y_2 (x_1 と同じ) は、画素電極 $3'$ の端から、絶縁性基板 10 の表面に対して垂直に引いた直線である。そして、 y は、 y_1 および y_2 の両方の線間における距離 (最短距離) である。換言すれば、 y は、絶縁性基板 10 の表面に対して垂直な、画素電極 $3'$ 側の BM8 の端面を含む平面と、絶縁性基板 10 の表面に対して垂直な、画素電極 $3'$ の端面 (上記ソースライン側、つまり、上記画素電極 3 と対向する側の端面) を含む面との間の距離 (最短距離) に等しい。つまり、 y は、ある画素における BM8 と、その画素の隣りに位置する画素電極 $3'$ との重なり幅を示している。

【0082】

上記 y は、BM8 形成時のフォトリソ工程のアライメント精度を考慮すれば、 $0.6\mu\text{m}$ 以上であることが好ましく、開口率の低下を抑制する上で、 $5\mu\text{m}$ 以下に設定されていることが好ましい。上記 y の値が $0.6\mu\text{m}$ 以上、 $5\mu\text{m}$ 以下の範囲内に設定されていることで、十分な開口率を確保しながらも、上記フォトリソ工程においてアライメントずれが発生したとしても、上記隙間を確実に BM8 で覆うことができる。

【0083】

以上のように、本実施の形態のアクティブマトリクス基板 30、すなわち、表示装置用基板は、画素電極 3 がソースライン 2 が形成されている平面とは異なる平面に設けられており、上記絶縁性基板 10 の表面に対して垂直方向から見たとき、上記画素電極 3 が設けられていない領域にソースライン 2 が設けられているとともに、上記ソースライン 2 と上記画素電極 3 との間に隙間が設けられている構成を有していればよい。上記の構成により、画素電極 3 とソースライン 2 との間の寄生容量 (C_{sd}) が、表示領域内でずれることを防止できる。したがって、上記アクティブマトリクス基板 30 を液晶表示装置 40 に用いた場合に、表示ムラを低減させることが可能である。

【0084】

また、本実施の形態では、高開口率化のため、アクティブマトリクス基板 30 側に BM8 を設ける構成としたが、BM8 を、アクティブマトリクス基板 30 と液晶層 32 を挟んで対向する対向基板 33 に設ける構成とすることもできる。上記 BM8 を対向基板 33 に設けることで、当然のことながら、上記寄生容量 (C_{sd}) が、表示領域内でずれてしまうことに起因する表示ムラを改善し、歩留まりの向上に寄与することができる。なお、上

記BM8をアクティブマトリクス基板30側に設けることで、上記表示ムラの改善および歩留りの向上に加えて、上記したように開口率の向上に寄与することができる。なお、上記BM8は、一方の基板にのみ設けられていてもよく、一方の基板と、それに対向配置されている他方の基板とに設けられている構成としてもよい。

【0085】

また、本実施の形態では、上記アクティブマトリクス基板30にBM8を設ける構成について主に説明したが、本発明にかかる表示装置用基板はこれに限定されるものではなく、画素電極が、信号線が形成されている平面とは異なる平面に設けられており、絶縁性基板の表面に対して垂直方向から見たとき、上記画素電極が設けられていない領域に信号線が設けられているとともに、上記信号線と上記画素電極との間に隙間が設けられている構成を有していればよく、BMが設けられていない構成を有していてもよい。つまり、本発明によれば、絶縁性基板の表面に対して垂直方向から見たとき、上記信号線と上記画素電極との間に隙間を設けることで、表示装置の表示ムラと相関のある値($\Delta\Delta\beta$)が小さくなり、画素電位実効値(V_d)の差を小さくすることができ、表示装置の表示ムラを低減することが可能となる。

【0086】

液晶表示装置は、一般的に、画素電極にかかる信号(電圧)により液晶を制御することで所定の画像表示を行う。このため、画素電極が存在しない領域、具体的には、絶縁性基板の表面に対して垂直方向から見たとき、信号線と画素電極との隙間に位置する液晶層は、画素電極から電圧がかからない状態となるため、所望の制御を行うことが困難になることがある。したがって、電圧無印加時に光を透過させ、電圧印加時に光を遮断するノーマリーホワイトモードの表示装置では、画素が黒表示となったとき、画素電極と信号線との隙間は白表示となり、表示画像のコントラストが低下するおそれがある。

【0087】

しかしながら、電圧無印加時に光を遮断し、電圧印加時に光を透過させるノーマリーブラックモードの表示装置では、信号線と画素電極との隙間にある液晶層は常に黒表示となるため、表示画像のコントラストが低下することがない。このため、上記表示装置用基板をノーマリーブラックモードの表示装置用の基板として用いる場合には、信号線を挟んで互いに隣り合う画素電極間の隙間に必ずしも遮光膜が設けられていなくてもよい。

【0088】

一方、上記表示装置基板をノーマリーホワイトモードの表示装置用の基板として用いる場合には、上記絶縁性基板の表面に対して垂直方向から見たとき、上記信号線の表面および上記信号線と画素電極との隙間、つまり、上記信号線を挟んで互いに隣り合う各画素電極間の隙間は、上記遮光膜で覆われていることが好ましい。これにより、表示画像のコントラストの低下を防止することができると共に、画素が白表示となった時、上記隙間にある白の応答速度の遅い部分が隠れるため、表示装置の書き込み応答速度を上げることができる。よって、本実施の形態にかかる遮光膜付きの表示装置用基板、具体的には、本実施の形態にかかる前記アクティブマトリクス基板30は、ノーマリーブラックモードの表示装置に好適に用いことができることは勿論のこと、ノーマリーホワイトモードの表示装置に特に好適に用いことができる。

【0089】

なお、本実施の形態にかかる遮光膜付きの表示装置用基板をノーマリーブラックモードの表示装置に用いる場合には、画素が黒表示となった時、上記隙間に位置する黒の応答速度の遅い部分は上記遮光膜によって隠れるため、表示装置の書き込み応答速度を上げることができる。

【0090】

なお、本実施の形態にかかる表示装置において、上記した各モード(ノーマリーホワイトモード、ノーマリーブラックモード)は、各モードに応じて偏光板の向きや使用する液晶材料を決定する等、常用の手段を用いることにより、各モードに適した表示装置とすることができる。

【0091】

また、本実施の形態においては、表示素子用基板の具体例として液晶表示装置用のアクティブマトリクス基板について説明したが、本発明はこれに限定されるものではなく、液晶表示装置以外の表示装置用基板として用いることも可能である。

【0092】

〔実施の形態2〕

本発明における他の実施の形態について、図2および図4に基づいて説明すれば、以下の通りである。なお、説明の便宜上、実施の形態1の図面に示した部材と同一の機能を有する部材については、同一の符号を付し、その説明を省略する。また、実施の形態1で述べた各種の特徴点については、本実施の形態についても組み合わせて適用し得るものとする。

【0093】

実施の形態2においては、層間絶縁膜が2層以上の積層体となっているアクティブマトリクス基板30について、図2および図4を用いて説明する。なお、平面図（図2）については、実施の形態1と同様である。図4は、図2に示すB-B'線における矢視断面図である。

【0094】

以下、層間絶縁膜が2層以上積層されているアクティブマトリクス基板30の製造方法について、説明する。

【0095】

まず、ガラス等の透明な絶縁体からなる絶縁性基板10上に、ゲートライン1、ゲート電極4、および補助容量ライン7を同一工程にて形成する。次に、それらの表面に、ゲート絶縁膜11を形成する。

【0096】

次に、薄膜トランジスタ（TFT）などのアクティブ素子14と、ソースライン2と、ソース電極5とを形成する。ソースライン2およびソース電極5は、同一工程にて形成する。

【0097】

なお、図2および図4に示すアクティブ素子14の形成は、まず、活性半導体層12を形成する。次に、アモルファスシリコン（例えばn型アモルファスシリコン）層13を形成する。さらに、ソースライン2と、ソース電極5と、ドレイン電極6とを形成（ソースライン2およびソース電極5は同一工程にて形成）する。

【0098】

次に、第2層間絶縁膜20を、CVD法にて成膜して、パターニングする。その第2層間絶縁膜20には、アクティブ素子14のドレイン電極6および画素電極3を接続するためのコンタクトホール9と、補助容量を形成するための補助容量ライン7および画素電極3を接続するためのコンタクトホール9'とを形成する。

【0099】

次に、BM8を形成する。本実施の形態において、BM8の材料には、タンタル（Ta）を用いた。具体的には、まず、スパッタリング装置にてTa膜を成膜する。次に、アクティブ素子14と、ソースライン2と、ゲートライン1と、補助容量ライン7とを覆うように、かつ、画素電極3・3'と平面的に重なり合うように、Ta膜をパターニングして、BM8を得る。なお、そのパターニングは、パターンマスクを用いた、フォトリソグラフィパターニングにより行った。なお、図2および図4に示すように、コンタクトホール9・9'の部分と、それらの周囲の部分とは、BM8を形成していない。

【0100】

その後、ネガ型の感光性透明樹脂を用いて、上記BM8が形成された絶縁性基板10の全面を覆うように、層間絶縁膜15を形成する。次に、コンタクトホール9・9'を層間絶縁膜15に形成する。次に、コンタクトホール9・9'を被覆するように、透明画素電極を成膜する。次に、その透明画素電極をパターニングして、画素電極3・3'を得る。

そのパターンニングによって、ソースライン 2 と画素電極 3・3' との平面的な距離を確保する。

【0101】

本実施の形態においては、図 4 に示すように、層間絶縁膜として 2 層（層間絶縁膜 15 および第 2 層間絶縁膜 20）積層されている。つまり、層間絶縁膜は、2 層以上の積層体として構成されている。

【0102】

また、層間絶縁膜 15 としては、ネガ型の感光性透明樹脂を用いたが、これに限定されるものではなく、例えば、CVD 法による SiN_x 膜（窒化ケイ素膜）など、所望の誘電率、透過率を有する材料を用いることができる。さらに、第 2 層間絶縁膜 20 には、CVD 法による SiN_x 膜を用いたが、その他ネガ型の感光性透明樹脂を用いてもよい。用いることのできる感光性透明樹脂としては、例えば、アクリル系樹脂、エポキシ系樹脂、ポリウレタン系樹脂、ポリイミド系樹脂などの樹脂が挙げられる。

【0103】

また、BM8（遮光膜）は、層間絶縁膜を構成する最上層（層間絶縁膜 15）と、最下層（第 2 層間絶縁膜 20）との間に積層されている。本実施の形態において、BM8 には、金属を用いている。具体的に言えば、スパッタリングにより成膜される Ta を BM8 に用いた。しかし、BM8 の材料は、Ta に限定されることではなく、例えば、Ta 以外の別の材料、例えば、Cr（クロム）のような金属、および、実施の形態 1 で用いた BM の材料などを、本実施の形態における BM8 の材料として用いることができる。上記のように、層間絶縁膜を構成する最上層（層間絶縁膜 15）と最下層（第 2 層間絶縁膜 20）との間に BM8（遮光膜）を積層する、つまり、上記 BM8 を、層間絶縁膜を介して積層することにより、BM8 に、金属を使用することも、絶縁性を有する樹脂を使用することもできる。これにより、特定の材料（絶縁性材料）を用いる必要がなくなる。

【0104】

なお、本実施の形態においても、前記実施の形態 1 同様、図 4 に示す隙間 x および x' は、その下限が、好適には 1 μm、さらに好適には 5 μm、より好適には 10 μm、特に好適には 15 μm であり、その上限が 20 μm、より好適には 15 μm の範囲内に設定されていることが望ましく、ある画素における BM8 とその画素の隣りに位置する画素電極 3' との重なり幅 y は、0.6 μm 以上、5 μm 以下の範囲内に設定されていることが望ましい。

【0105】

また、本実施の形態においても、上記遮光膜付きの表示装置用基板、すなわち、本実施の形態にかかるアクティブマトリクス基板 30 は、ノーマリーブラックモードの表示装置に好適に用いることができることは勿論のこと、ノーマリーホワイトモードの表示装置に特に好適に用いることができる。

【0106】

本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

【実施例】

【0107】

本発明の実施例について、図 5 ないし図 13 に基づいて説明すれば、以下のとおりである。

【0108】

以下に、本発明の実施例として、画素電極とソースラインとの間の寄生容量（C_{s d}）の表示領域内でのずれを低減することにより、表示ムラを低減した例を示す。

【0109】

図 5 に、表示ムラと相関のある ΔΔβ 値と、画素電極およびソースライン間の隙間（距離）x との関係を示す。また、図 6 には、アクティブマトリクス型の液晶表示装置の簡易

的な等価回路を示す。

【0110】

図5において、縦軸は、 $\Delta\Delta\beta$ の値を示している。横軸は、画素電極およびソースライン間の隙間 x の値を示している。なお、 x の値がゼロより小さい値の場合は、ソースラインと画素電極とが重なりを持っている場合である。

【0111】

図5に示すプロットにおける $\Delta\Delta\beta$ の値は、下記の条件で求めた。本実施例では、図2および図3に示す x および x' を同じ値($x=x'$)に設定して、図5に示すグラフの値を求めた。また、BMの膜厚は $1.0\mu\text{m}$ 、層間絶縁膜の膜厚は $2.5\mu\text{m}$ 、 $y=2.0\mu\text{m}$ とした。BMには、カーボンを分散させたアクリル系樹脂(誘電率4.0)を、層間絶縁膜にはアクリル系透明樹脂(誘電率3.7)を用いた。また、画素ITOフォトリソグラフ時の露光ショット間アライメント差(ソースパターンと画素ITOパターンとの相対的ズレ)は、 $0.1\mu\text{m}$ とした。また、ズレに関しては、画素1Aのズレは0、画素2Aのズレは $0.1\mu\text{m}$ (自ソースが小さくなる方向)とした。そして、入力階調は中間調、入力階調電圧は $V_s=2.5\text{V}$ (TN品)とした。絵素(画素)サイズは $15''\text{XGA}$ (絵素(画素)ピッチ $99\mu\text{m}$)とした。

【0112】

図5に示すグラフによれば、 x の数値が大きいほど、 $\Delta\Delta\beta$ 値は小さくなることがわかる。

【0113】

次に、ドット反転駆動を例に、 $\Delta\Delta\beta$ 値(%)と表示ムラとの関係について説明する。画素容量を C_{lc} 、画素補助容量を C_{cs} 、ゲートラインと画素電極との間の寄生容量を C_{gd} 、ソースラインと画素電極との間の寄生容量を C_{sd} とする。そして、アクティブマトリクス型の液晶表示装置を表す簡易的な等価回路を、図6に示す。さらに、 C_{pix} を、 C_{lc} と C_{cs} と C_{gd} と C_{sd} との和($C_{pix}=C_{lc}+C_{cs}+C_{gd}+C_{sd}$)とする。さらに、 β を、 $\beta=C_{sd}/C_{pix}$ とする。

【0114】

ドット反転駆動方式では、 C_{sd} を、対象画素電極を駆動するソースラインによる容量成分 C_{sd1} と、隣りの画素電極を駆動するソースラインによる容量成分 C_{sd2} とに分けて考える。また、ソース信号振幅を V_{spp} とする。さらに、 $\Delta\beta$ を、 $\Delta\beta=(C_{sd1}-C_{sd2})/C_{pix}$ とする。このとき、ソース電圧 V_s にて画素充電後の画素電位実効値 V_d は、下記の近似式で表すことができる。

$$(\text{近似式}) \quad V_d \doteq V_s - V_{spp} \times \Delta\beta / 2$$

表示ムラは、 V_d の差により生じる。この V_d の差と $\Delta\Delta\beta$ との関係について、下記に説明する。この V_d の差と $\Delta\Delta\beta$ との関係を、図7に示す画素とソースラインとの模式図を用いて説明する。図7に示すように、アクティブ素子を介して画素1Aの画素電極と接続されているソースラインを、 S_1 とする。アクティブ素子を介して画素2Aの画素電極と接続されているソースラインを、 S_2 とする。同様に、アクティブ素子を介して画素NAと接続されているソースラインを、 $S(N)$ とする。また、自分の(特定の)画素を充電するソースラインを自ソースと定義する。そして、画素電極および容量を持つが、その特定の画素の充電をしないソースラインを、他ソースと定義する。

【0115】

図7において、画素1Aについて、自ソースと他ソースとの関係は、以下のとおりとなる。つまり、自ソースは S_1 (自ソース= S_1)、他ソースは S_2 (他ソース= S_2)となる。画素2Aについて、自ソースおよび他ソースの関係は、自ソース= S_2 、他ソース= S_3 となる。同様に、画素NAについて、自ソースおよび他ソースの関係は、自ソース= $S(N)$ 、他ソース= $S(N+1)$ となる。

【0116】

また、画素電極～自ソース間容量($C_{sd自}$)を C_{sd11} 、つまり、画素電極～自ソース間容量= $C_{sd自}=C_{sd11}$ とする。また、画素電極～他ソース間容量($C_{sd他}$)

) を $Csd12$ 、つまり、画素電極～他ソース間容量 $= Csd_{他} = Csd12$ とする。

【0117】

画素 1 A における画素電極の $\Delta\beta$ を $\Delta\beta 1$ とし、画素 2 A における画素電極の $\Delta\beta$ を $\Delta\beta 2$ とする。このとき、 $\Delta\beta 1$ は、 $\Delta\beta 1 = Csd_{自} / Cpix - Csd_{他} / Cpix$ 、つまり、 $\Delta\beta 1 = (Csd11 - Csd12) / Cpix$ である。同様に、 $\Delta\beta 2$ は、 $\Delta\beta 2 = (Csd22 - Csd23) / Cpix$ である。

【0118】

ドット反転駆動のように隣り合うソースの極性が異なる駆動の場合、画素電極～自他ソース間容量 ($Csd_{自} \cdot 他$) 各々の $Cpix$ 比 ($Csd_{自} \cdot 他 / Cpix = \beta_{自} \cdot 他$) の差 ($\beta_{自} - \beta_{他} = \Delta\beta$) によって、表示特性 (入力階調電圧 V_s と実階調電圧 = 実効値 V_d との差) が決まる。例えば、何らかの原因、具体的にはフォトリソ工程のショット間アライメント差 (一般的には $\pm 0.3 \mu m$) が生じるといった原因によって、画素 1 A における画素電極とソースラインとの位置関係および画素 2 A における画素電極とソースラインとの位置関係がずれてしまった場合、 $\Delta\beta 1$ と $\Delta\beta 2$ との値は異なることになる。

【0119】

上記のように、 $\Delta\beta$ が異なると、互いの V_d に差が生じ、ムラ (輝度差) になって現れる。つまり、ムラ (輝度差) の程度は、相対的に $\Delta\Delta\beta = \Delta\beta 1 - \Delta\beta 2$ で比較することができる。なお、このことを、上記に記載した数式を用いて説明すれば、下記の (数 1) となる。よって、 $\Delta\Delta\beta$ が小さくなれば V_d の差が小さくなり、その結果、表示ムラが低減することがわかる。

【0120】

【数 1】

画素電極 1 の $\Delta\beta$ ($\Delta\beta 1$) および画素電極 2 の $\Delta\beta$ ($\Delta\beta 2$) は、

$$\Delta\beta 1 = (Csd11 - Csd12) / Cpix$$

$$\Delta\beta 2 = (Csd22 - Csd23) / Cpix$$

である。

また、画素電極 1 の V_d を $V_d 1$ 、画素電極 2 の V_d を $V_d 2$ とする。このとき、 $V_d 1$ と $V_d 2$ との実効値差は、輝度差となって現れるため、表示ムラの原因となる。

$V_d 1$ と $V_d 2$ との差を、 V_d の近似式を用いて表すと、

$$\begin{aligned} V_d 1 - V_d 2 &\doteq (V_s - (V_{spp}/2) \times \Delta\beta 1) \\ &\quad - (V_s - (V_{spp}/2) \times \Delta\beta 2) \\ &= (V_{spp}/2) \times (\Delta\beta 2 - \Delta\beta 1) \\ &\doteq (V_{spp}/2) \times \Delta\Delta\beta \\ &\doteq \text{入力階調電圧 } V_s \times \Delta\Delta\beta \end{aligned}$$

となる。

ところで、 V_d を求めるとき、上記に示す近似式を用いた。この V_d の近似式について、図 8～図 11 を用いて説明する。図 8 は、水平 2 H 周期の DOT 反転駆動 (1 フレーム単位の極性反転) における波形を示している。図 9 は、図 8 におけるソース電圧の位相の例のみを、詳細に説明したものである。図 10 は、図 8 における V_d 波形の例 (画素 1 A) のみを、詳細に説明したものである。図 11 は、図 8 における V_d 波形の例 (画素 2 A) のみを、詳細に説明したものである。

【0121】

図10に示すように、電圧変化が非常に小さいとき、 V_d は、 V_s と $V_s + \Delta V_s$ との平均とほぼ等しい。また、図10に示すように、 ΔV_s は、 $\Delta V_s = \text{ソース電圧変化} \times \text{容量の} C_{pix} \text{比の総和}$ と考えることができる。その結果、図10に示す例では、 $\Delta V_s = -V_{spp} \times \Delta \beta_1$ であって、 V_{d1} は、 $V_{d1} = V_s - (V_{spp}/2) \times \Delta \beta_1$ と近似することができる。同様に、図11に示す例では、 $V_{d2} = V_s - (V_{spp}/2) \times \Delta \beta_2$ と近似することができる。

【産業上の利用可能性】

【0122】

本発明の表示装置用基板は、画素電極と信号線との間の規制容量が表示領域内でずれてしまうことに起因する表示ムラを改善することができる。該表示装置用基板は、例えばアクティブマトリクス型の液晶表示装置等の表示装置に好適であり、例えば、パソコン等のOA機器、テレビ等のAV機器や携帯電話等の各種電子機器に広く用いることができる。

【図面の簡単な説明】

【0123】

【図1】 本発明の液晶表示装置における実施の一形態を示す断面図である。

【図2】 本発明の表示装置用基板における実施の一形態を示す平面図である。

【図3】 図2に示す表示装置用基板の、B-B'線における矢視断面図である。

【図4】 本発明の表示装置用基板における他の実施の形態を示す断面図である。

【図5】 表示装置用基板における、画素電極およびソースラインの距離と、 $\Delta \Delta \beta$ の値との関係を示すグラフである。

【図6】 本発明の実施例におけるアクティブマトリクス型の液晶表示装置を表す、簡易的な等価回路である。

【図7】 本発明の実施例において、 $\Delta \Delta \beta$ と V_d の差との関係を説明するために用いた、画素とソースラインとの関係を示す模式図である。

【図8】 本発明の実施例における V_d の近似式を説明するための、水平2H周期のDOT反転駆動における各種波形を示す模式図である。

【図9】 図8におけるソース電圧の位相の例を、詳細に記載した模式図である。

【図10】 図8における V_d の波形(画素1A)を、詳細に記載した模式図である。

【図11】 図8における V_d の波形(画素2A)を、詳細に記載した模式図である。

【図12】 従来の表示装置用基板を示す平面図である。

【図13】 従来の表示装置用基板を示す断面図である。

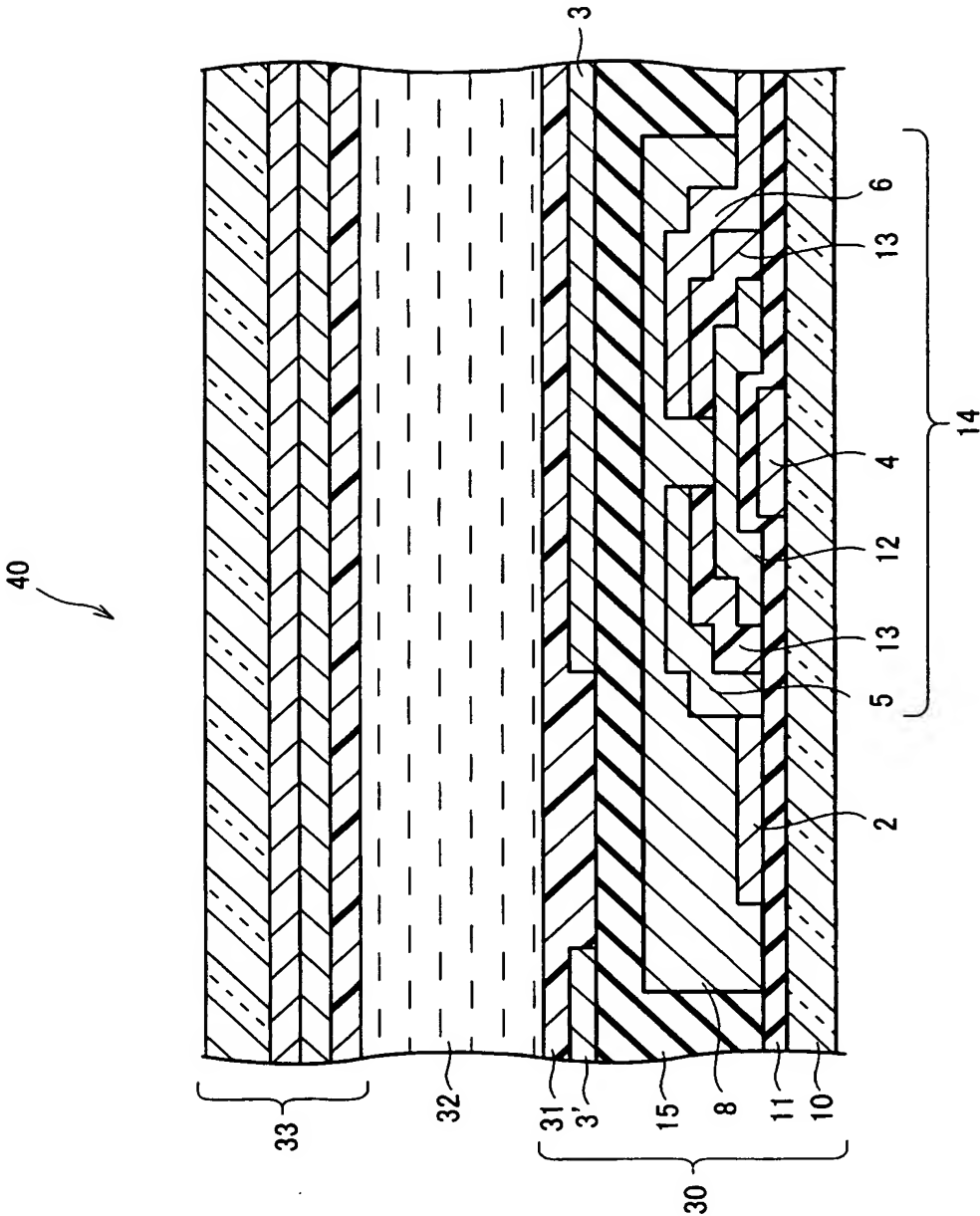
【符号の説明】

【0124】

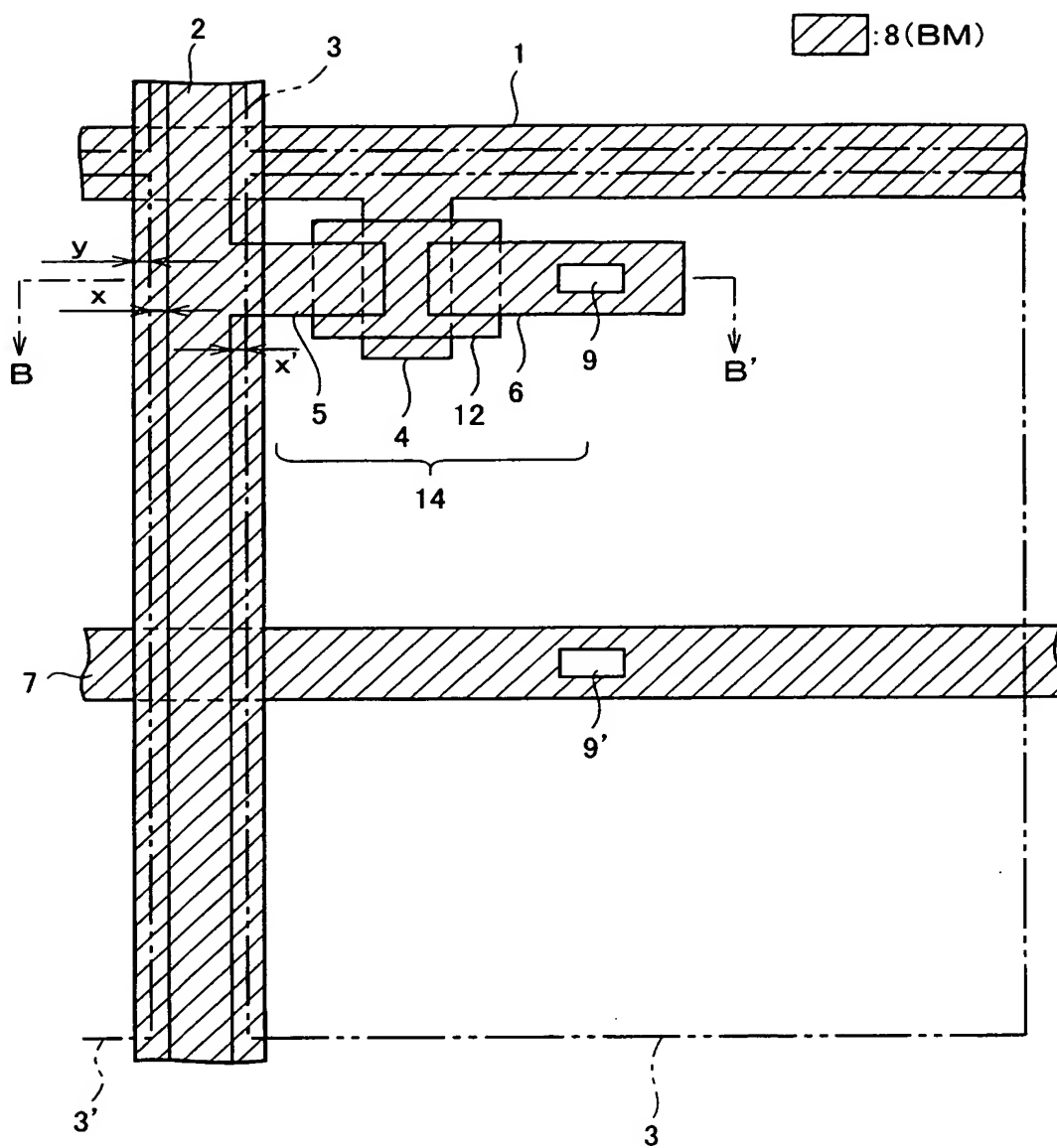
- 1 ゲートライン (走査線)
- 2 ソースライン (信号線)
- 3 画素電極
- 3' 画素電極
- 4 ゲート電極
- 5 ソース電極
- 6 ドレイン電極
- 7 補助容量ライン (補助容量線)
- 8 ブラックマトリックス (遮光膜)
- 9 コンタクトホール
- 9' コンタクトホール
- 10 絶縁性基板
- 11 ゲート絶縁膜
- 12 活性半導体層
- 13 アモルファスシリコン層
- 14 アクティブ素子
- 15 層間絶縁膜

- 2 0 第 2 層間絶縁膜
- 3 0 アクティブマトリクス基板（表示装置用基板）
- 4 0 液晶表示装置

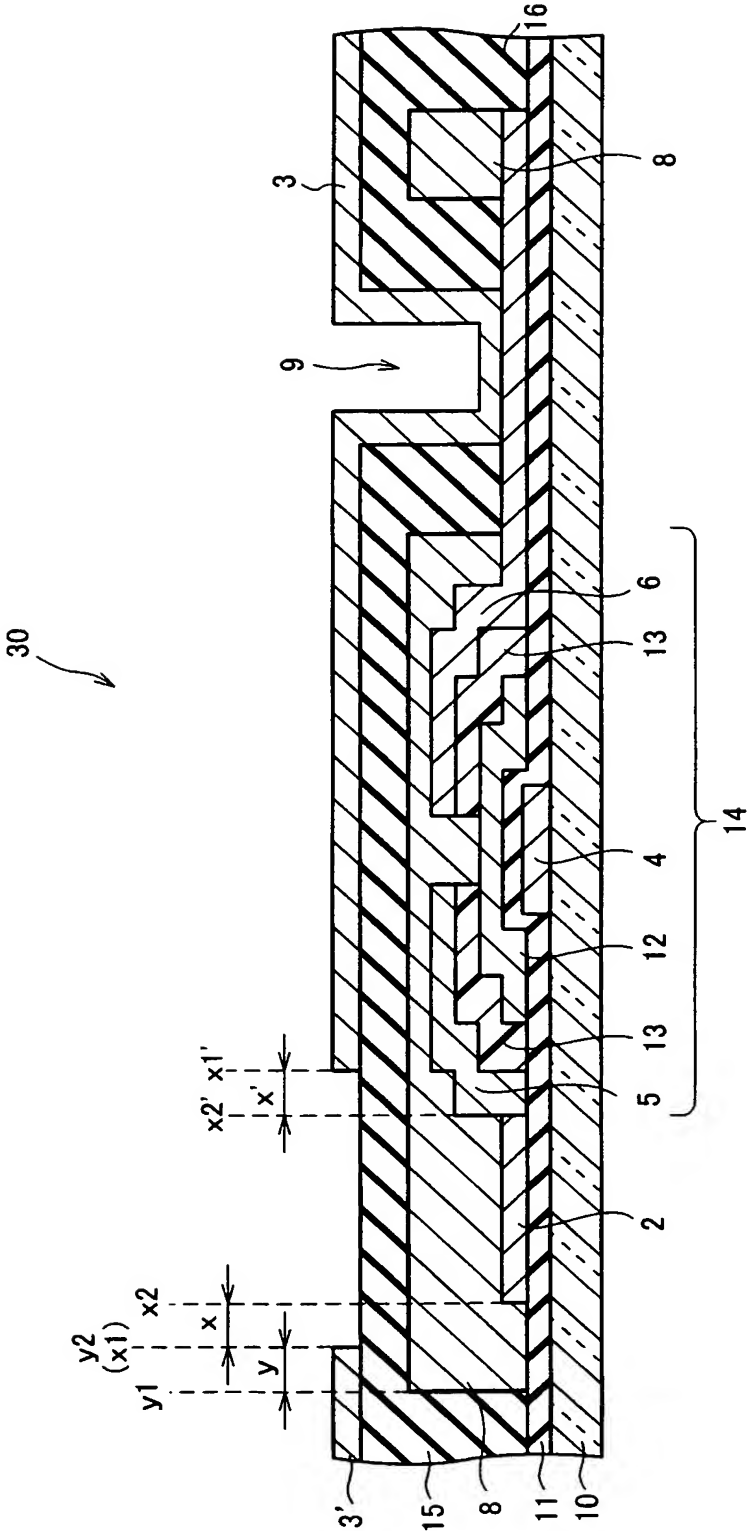
【書類名】図面
【図 1】



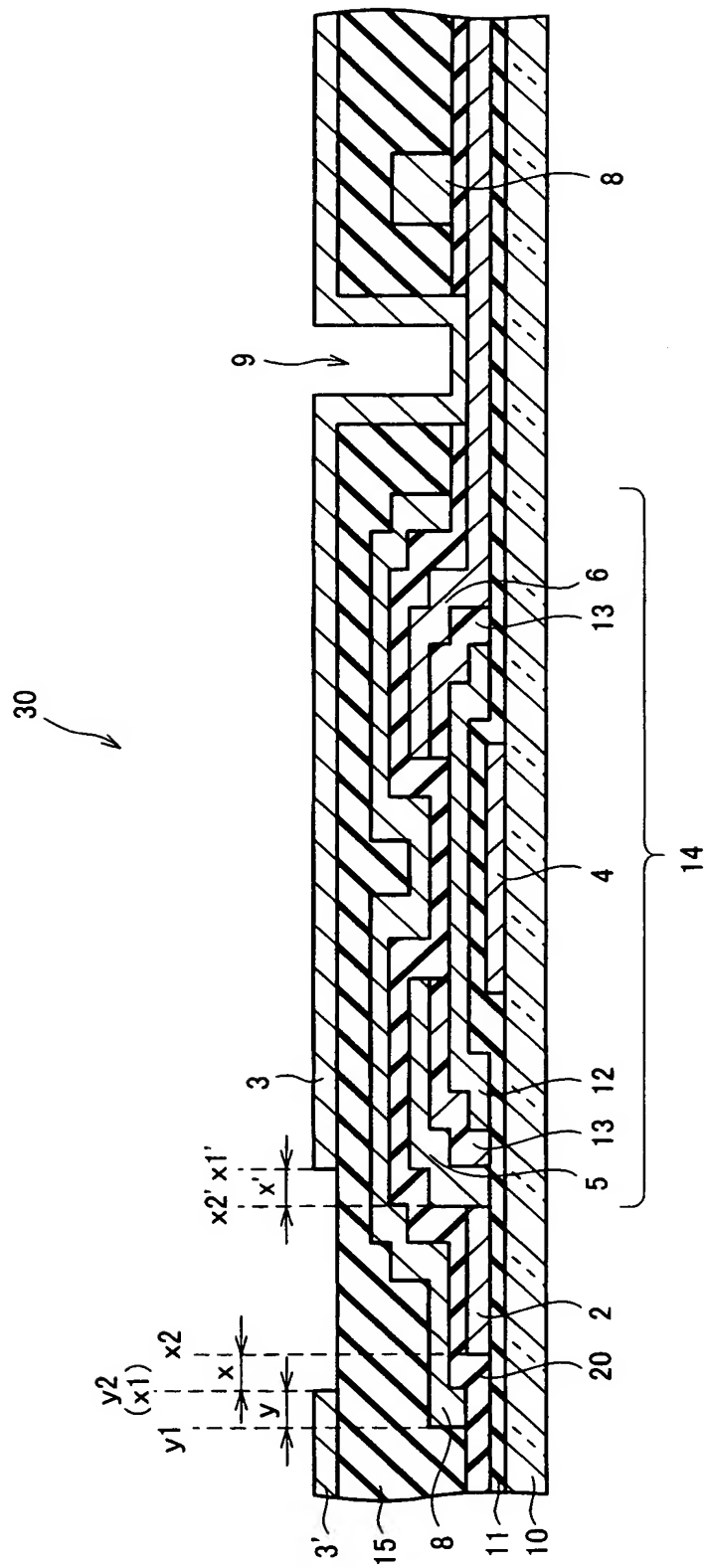
【図 2】



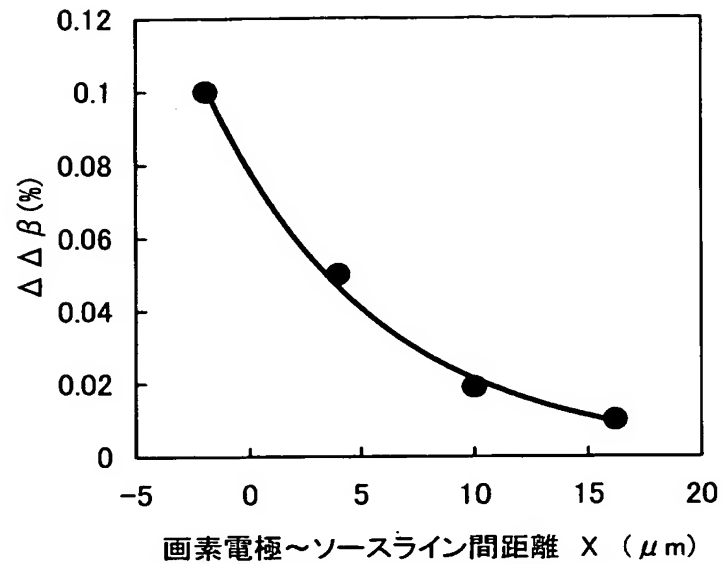
【図 3】



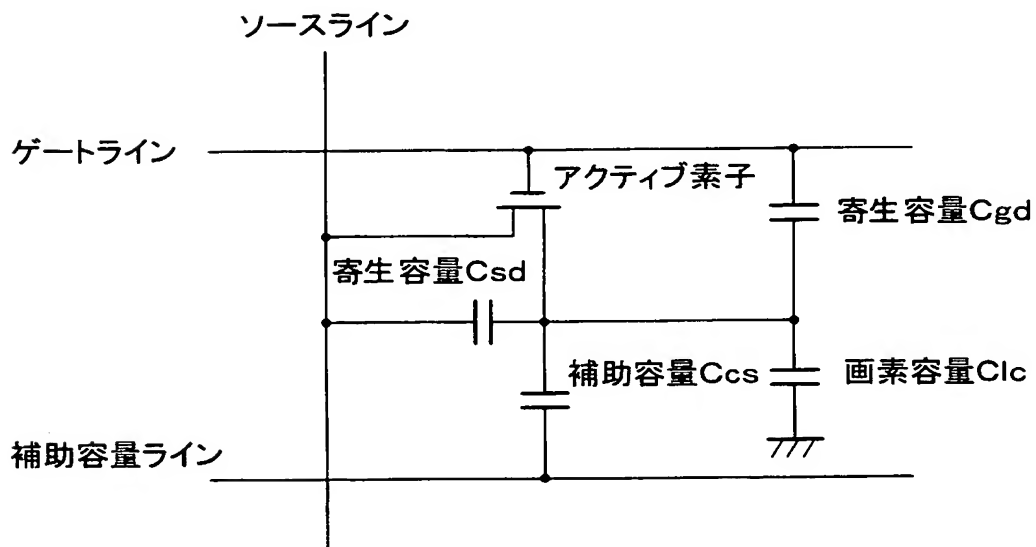
【図 4】



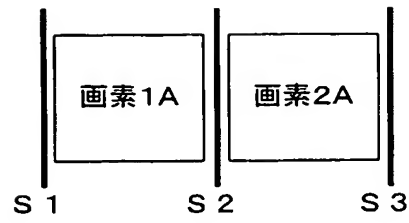
【図 5】

画素電極～ソースライン間距離と $\Delta\Delta\beta$ との関係

【図 6】



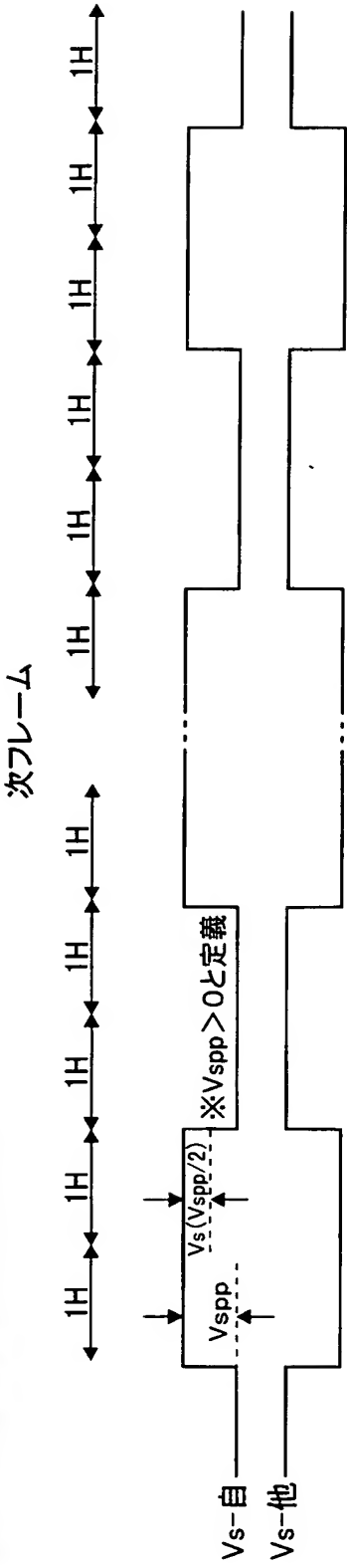
【図 7】



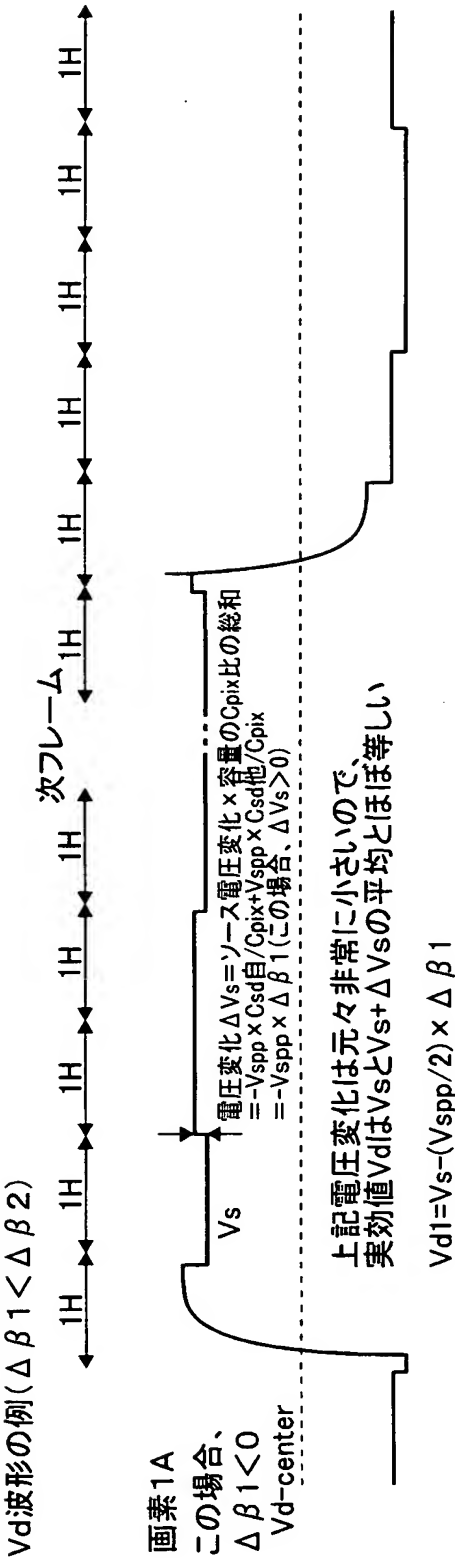
S 1、S 2、およびS 3・・・ソースライン

【図 9】

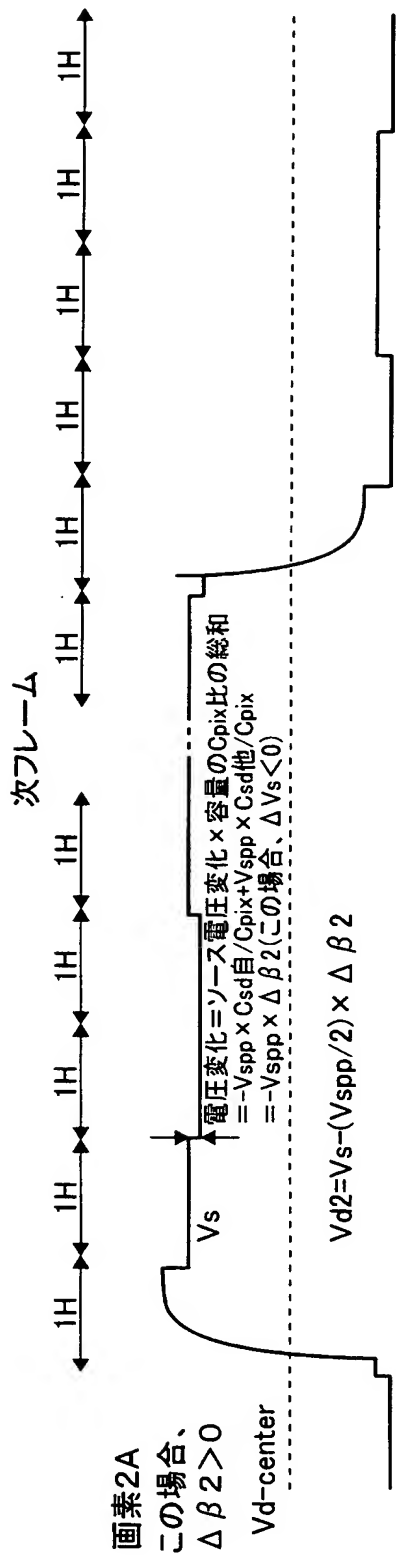
ソース電圧の位相の例
隣り合う画素電極で位相関係は逆



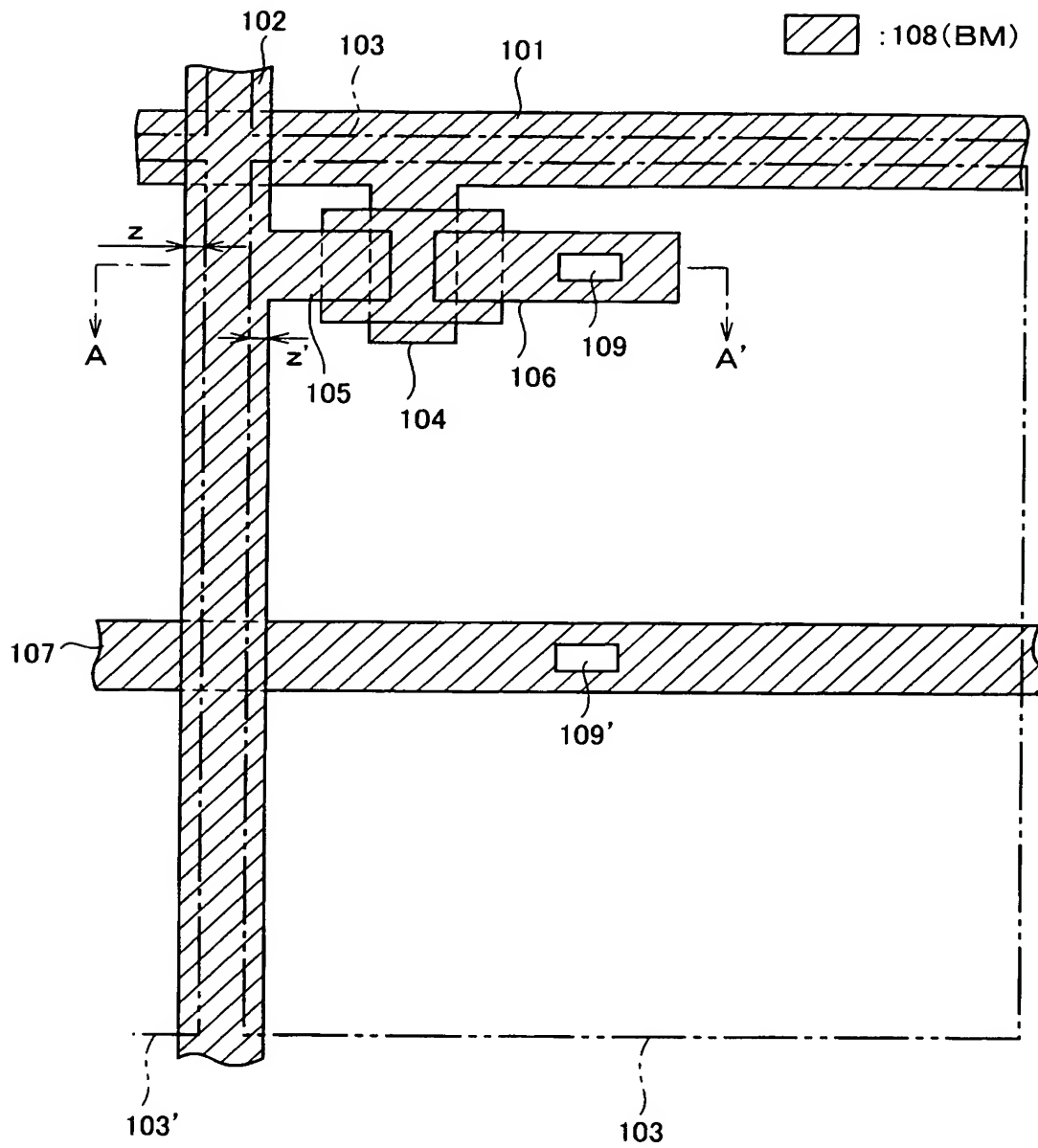
【図 1 0】



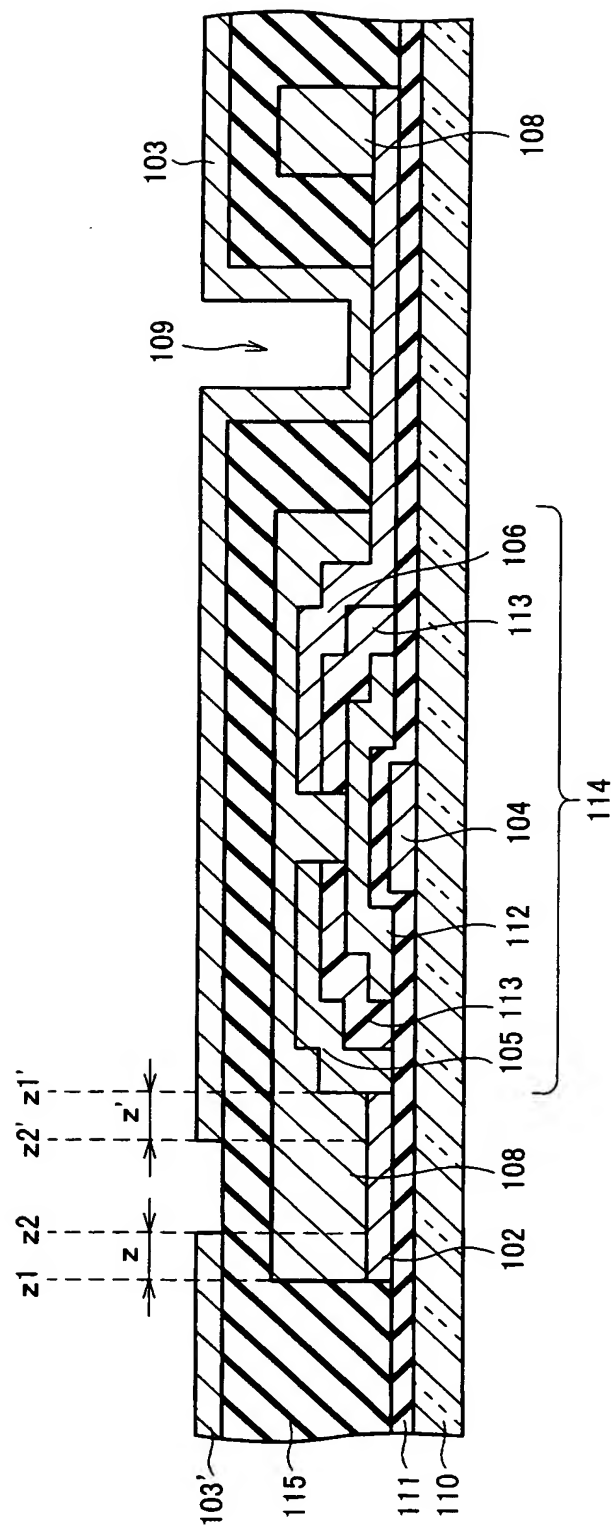
【図 1 1】



【図 12】



【図 13】



【書類名】 要約書

【要約】

【課題】 液晶表示装置の表示ムラを低減する。

【解決手段】 画素電極 3・3' が設けられていない領域にソースライン 2 を設けるとともに、ソースライン 2 と画素電極 3・3' との間に隙間を設け、さらに、ソースライン 2 の表面を覆う BM 8 と画素電極 3・3' とを重ねる。

【選択図】 図 1

特願 2 0 0 3 - 3 7 2 5 8 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 0 4 9]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

氏 名

シャープ株式会社